

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-092839

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

H01L 29/786

H01L 21/20

H01L 21/336

(21)Application number : 07-250604

(71)Applicant : NEC CORP

(22)Date of filing : 28.09.1995

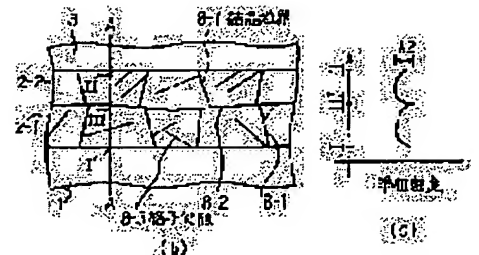
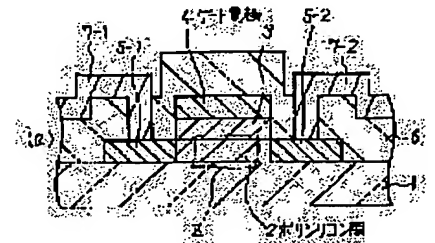
(72)Inventor : OKUMURA NOBU

(54) THIN FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the variation of TFT elements by making a polysilicon film into two-layer structure in a laser-annealed polysilicon TFT.

SOLUTION: An amorphous silicon film and a gate insulating film 3 are deposited on an insulating substrate 1, and a pulse laser beam is applied from above to the gate insulating film 3 to form a polysilicon film 2. At that time, the cross sectional structure of the polysilicon film has two-layer structure composed of crystalline particles whose nuclei are produced and which are grown at the gate insulating film interface of a film and at a substrate interface. A gate electrode 4 is formed on the gate insulating film 3, and phosphorus ions are introduced thereinto to form doping regions 5-1, 5-2 which make a source-drain region. Successively, a layer insulating film 6 and metal wirings 7-1, 7-2 are formed to manufacture a TFT having high uniformity.



LEGAL STATUS

[Date of request for examination] 28.09.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2809152

[Date of registration] 31.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-92839

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 E
	21/20		21/20	
	21/336		29/78	6 1 8 A
				6 2 7 G

審査請求 有 請求項の数12 O L (全 8 頁)

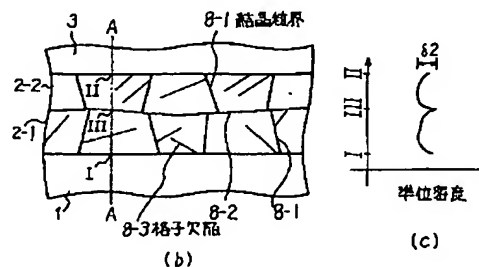
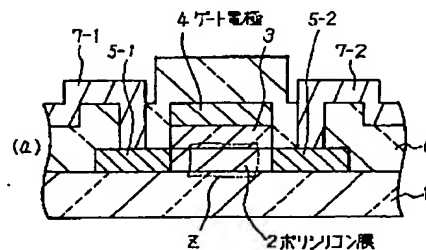
(21)出願番号	特願平7-250604	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成7年(1995)9月28日	(72)発明者	奥村 展 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【課題】レーザアニールポリシリコンTFTにおいて、ポリシリコン膜を、二層構造とすることにより各TFT素子間のバラツキを小さくする。

【解決手段】絶縁性基板1上にアモルファスシリコン膜とゲート絶縁膜3を堆積し、ゲート絶縁膜3上からパルスレーザ光を照射してポリシリコン膜2を形成する。このとき、ポリシリコン膜の断面構造は、膜のゲート絶縁膜界面及び基板界面より核発生・粒成長した結晶粒から構成される二層構造を有する。ゲート絶縁膜3上にゲート電極4を形成し、燐イオンをドーピングしてソース・ドレイン領域となるドーピング領域5-1、5-2を形成する。続いて、層間絶縁膜6と金属配線7-1、7-2を形成し、高均一性を有するTFTが製作される。



【特許請求の範囲】

【請求項1】 所定間隔で対向する一対のソース・ドレイン領域に連結するポリシリコン膜及び前記ポリシリコン膜の前記一対のソース・ドレイン領域で挟まれたチャネル領域と間にゲート絶縁膜を介して結合するゲート電極でなる層状構造が絶縁基板上に設けられた薄膜トランジスタにおいて、前記ポリシリコン膜のチャネル領域部がその厚さ方向に結晶粒界で2分される2層構造を有していることを特徴とする薄膜トランジスタ。

【請求項2】 2つのポリシリコン層のうちゲート絶縁膜側のポリシリコン層の膜平面方向の平均粒径が絶縁基板側のポリシリコン膜の膜平面方向の平均粒径より大きい請求項1記載の薄膜トランジスタ。

【請求項3】 絶縁性基板上に非単結晶シリコン膜を堆積する工程と、前記非単結晶シリコン膜の表面に結晶化時に核発生サイトとして作用させるための核発生制御処理を行なう工程と、前記絶縁性基板の温度を前記非単結晶シリコン膜の再結晶温度未満に維持する条件でパルスレーザ光を照射して前記非単結晶シリコン膜の表面及び裏面の双方から結晶粒を成長させることにより厚さ方向に結晶粒界で2分される2層構造の第1のポリシリコン膜を形成する工程と、前記第1のポリシリコン膜に連結し、所定間隔で対向する一対のソース・ドレイン領域を形成する工程とを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 ソース・ドレイン領域が第1のポリシリコン膜とは別工程で形成される第2のポリシリコン膜でなる請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 第1のポリシリコン膜に選択的に不純物をドーピングしてソース・ドレイン領域を形成する請求項3記載の薄膜トランジスタの製造方法。

【請求項6】 核発生制御処理が非単結晶シリコン膜の表面にパルスレーザ光に対して透明な絶縁膜を堆積することである請求項3、4又は5記載の薄膜トランジスタの製造方法。

【請求項7】 透明な絶縁膜が酸化シリコン膜、窒化シリコン膜又は酸化アルミニウムである請求項6記載の薄膜トランジスタの製造方法。

【請求項8】 核発生制御処理が非単結晶シリコン膜の表面近傍にイオン種をドーピングすることである請求項6記載の薄膜トランジスタの製造方法。

【請求項9】 イオン種がシリコンイオンである請求項8記載の薄膜トランジスタの製造方法。

【請求項10】 ゲート絶縁膜と接触するもしくは接触すべき側の面から厚さ方向に低くなる温度勾配を非単結晶シリコン膜につけた状態でパルスレーザ光を照射する請求項3、4、5、6、7、8又は9記載の薄膜トランジスタの製造方法。

【請求項11】 非単結晶シリコン膜に紫外線を照射して温度勾配をつけた状態でパルスレーザ光を照射してポ

リシリコン膜を形成した後に、ゲート絶縁膜を堆積し、ゲート電極を形成する請求項3、4、5、6、7、8又は9記載の薄膜トランジスタの製造方法。

【請求項12】 波長308nmのXeClエキシマレーザのパルスレーザ光を使用する請求項3乃至11項記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイ、イメージセンサ等の薄膜集積回路に使用される薄膜トランジスタおよびその製造方法に関し、特に、チャネル層にポリシリコン膜を用いた薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】近年、液晶ディスプレイ装置は、情報化社会においてますます重要な位置を占めてきている。同時に液晶ディスプレイ装置の大画面化・高精細度化への要求も高まってきている。当該分野において現行で主流となっている技術は、表示部の薄膜トランジスタをアモルファスシリコンによって形成し、その駆動回路には単結晶シリコンのLSIを用いてこれをTAB方式等により薄膜トランジスタの形成された基板に接続するものである。

【0003】しかし、ポリシリコンに比較して移動度の小さいアモルファスシリコンを用いた薄膜トランジスタでは、液晶ディスプレイ装置を大画面で高精細に実現することが困難であるため、ポリシリコンを活性層とする薄膜トランジスタが注目されている。

【0004】一方で、液晶ディスプレイにおける用途の多用化により、薄型化・小型化に対する要求も強く、その要求に答えるためアクティブマトリクス基板上に駆動回路をも薄膜トランジスタで形成しようとする試みなされている。この駆動回路用のトランジスタをアモルファスシリコンを用いて形成することは、動作速度や駆動能力の面で好ましくなく、ポリシリコンで形成することが求められる。

【0005】ポリシリコンの作製方法としては、減圧化学気相成長法(LPCVD法)やプラズマ化学気相成長法(PCVD法)により直接ポリシリコンを成膜する方法、LPCVD法あるいはPCVD法などによりシリコンを成膜した後に、そのシリコンを良質なポリシリコンへと改質する間接的な方法がある。

【0006】間接的な方法で良質なポリシリコンを得る手法としては、通常の熱処理を用いる固相成長法、レーザ光を用いるレーザアニール法などが挙げられる。このとき用いられるレーザ光としては、アルゴンレーザ、炭酸ガスレーザなどの連続発振(CW)レーザ光やXeCl、KrFなどのエキシマレーザに代表されるパルスレーザ光が挙げられる。液晶ディスプレイへの応用上これらのポリシリコン作製法の中では、プロセス温度の低温

化ならびにスループットの向上が見込まれるレーザアニール法が有望視されている。

【0007】レーザアニール法によるポリシリコンを用いた従来の薄膜トランジスタの構造断面図を図5(a)に示す。このトランジスタは次のように製作される。

【0008】まず、絶縁基板1上に例えばPCVD法によりアモルファスシリコン膜を堆積し、CWレーザ光やパルスレーザ光を用いたレーザアニール法によりポリシリコン膜2Bを形成する。ポリシリコン膜2Bをアイラ

ンド状にパターンニングした後、その上にゲート絶縁膜3とゲート電極形成材料層を堆積し、これらをパターンニングしてゲート電極4を形成する。

【0009】イオン注入法等によりポリシリコン膜2Bに選択的に不純物を導入してソース・ドレイン領域となるドーピング領域5-1、5-2を形成する。続いて、層間絶縁膜6を堆積し、ソース・ドレイン領域上に露出させるコンタクトホールを開口する。最後に、アルミニウム等の金属膜を形成し、これをパターンニングしてソース・ドレイン領域と接触する金属配線7-1、7-2を形成し、薄膜トランジスタの形成工程を完了する。

【0010】また、レーザアニールの際には特開平4-328872号公報に記載のようなアモルファスシリコン膜上に反射防止膜を成膜した後に何れかのレーザ光を照射し、その反射防止膜をゲート絶縁膜として利用する薄膜トランジスタの製造方法が検討されている。

【0011】

【発明が解決しようとする課題】しかしながら、上述の製造方法により形成されたレーザアニールポリシリコン膜を用いた薄膜トランジスタは固相成長ポリシリコン膜を用いた薄膜トランジスタに比べて電気的特性のパラツキが大きいという問題があった。例えばしきい値電圧のパラツキは標準偏差で20%以上にも達する。このように電気的特性にバラツキがあると例えばこのトランジスタでアクティブマトリクスを構成した場合には表示むらが著しくなり、大画面・高精細のディスプレイの実現は困難になる。

【0012】本発明は、この点に鑑みてなされたものであって、その目的とするところは、電気的特性のパラツキの少ない薄膜トランジスタおよびその製造方法を提供することである。

【0013】

【課題を解決するための手段】本発明の薄膜トランジスタは、所定間隔で対向する一対のソース・ドレイン領域に連結するポリシリコン膜及び前記ポリシリコン膜の前記一対のソース・ドレイン領域で挟まれたチャネル領域と間にゲート絶縁膜を介して結合するゲート電極となる層状構造が絶縁基板上に設けられた薄膜トランジスタにおいて、前記ポリシリコン膜のチャネル領域部がその厚さ方向に結晶粒界で2分される2層構造を有しているというものである。

【0014】ここで、2つのポリシリコン層のうちゲート絶縁膜側のポリシリコン層の膜平面方向の平均粒径を絶縁基板側のポリシリコン層の膜平面方向の平均粒径より大きくすることができる。

【0015】本発明の薄膜トランジスタの製造方法は、絶縁性基板上に非単結晶シリコン膜を堆積する工程と、前記非単結晶シリコン膜の表面に結晶化時に核発生サイトとして作用させるための核発生制御処理を行なう工程と、前記絶縁性基板の温度を前記非単結晶シリコン膜の再結晶温度未満に維持する条件でパルスレーザ光を照射して前記非単結晶シリコン膜の表面及び裏面の双方から結晶粒を成長させることにより厚さ方向に結晶粒界で2分される2層構造の第1のポリシリコン膜を形成する工程と、前記第1のポリシリコン膜に連結し、所定間隔で対向する一対のソース・ドレイン領域を形成する工程とを有しているというものである。

【0016】この場合、ソース・ドレイン領域は第1のポリシリコン膜とは別工程で形成される第2のポリシリコン膜で形成してもよいし、あるいは第1のポリシリコン膜に選択的に不純物をドーピングしてソース・ドレイン領域を形成することもできる。

【0017】核発生制御処理として非単結晶シリコン膜の表面にパルスレーザ光に対して透明な絶縁膜を堆積することができる。この場合、透明な絶縁膜は酸化シリコン膜、窒化シリコン膜又は酸化アルミニウムとすることができる。又、核発生制御処理として非単結晶シリコン膜の表面近傍にシリコンなどのイオン種をドーピングすることができる。

【0018】更に、ゲート絶縁膜と接触するもしくは接触すべき側の面から厚さ方向に低くなる温度勾配を非単結晶シリコン膜につけた状態でパルスレーザ光を照射することができる。この場合、非単結晶シリコン膜に紫外線を照射して温度勾配をつけた状態でパルスレーザ光を照射してポリシリコン膜を形成した後に、ゲート絶縁膜を堆積し、ゲート電極を形成することができる。

【0019】更に又、パルスレーザ光としては波長308nmのXeClエキシマレーザを使用することができる。

【0020】チャネル層を構成するポリシリコン膜の核発生・粒成長制御及びその結果生じる断面構造が薄膜トランジスタの電気的特性のパラツキに大きな影響を持っていることが見いだされた。

【0021】一般にポリシリコン薄膜は粒界、積層欠陥などの格子欠陥を含むが、格子欠陥はキャリアのトラップとして働き、電気的特性を悪化させる働きを有する。従って薄膜トランジスタのチャネル領域中で、格子欠陥の体積や存在形態などは特性の変動を生じさせる大きな原因の一つである。高均一性を示すためには、格子欠陥が局所的に凝集されことなくチャネル領域中に均一に分散されることが要求される。

【0022】従来の薄膜トランジスタでは、ポリシリコン膜の核発生・粒成長の制御及びその結果生じる断面構造については格別考慮が払われてこなかったもので、図5 (b)のポリシリコン膜断面の拡大図に示されるように、ポリシリコン膜は膜の下表面(絶縁性基板1側)から核発生・粒成長した結晶粒のみから構成される。ここで、ポリシリコン膜の断面構造は透過型電子顕微鏡(TEM)により観察した。このとき転位、積層欠陥などの格子欠陥8-3は基板界面付近に局在し、図5 (c)の単位密度分布図に示されるように単位の変動幅 $\delta 1$ は大きい。この単位密度分布は電気的特性、特にしきい値の変動を生じさせる。その結果、しきい値電圧の標準偏差は20%にも達する大きなバラツキを有していた(本明細書においては算出された標準偏差を平均値で除した値を標準偏差としている)。

【0023】本発明の薄膜トランジスタでは、チャネル領域におけるポリシリコン膜は、膜の上表面および下表面より核発生するよう核発生を制御し、かつ粒成長を抑制した結果、2層構造を有している。核発生制御を行ったとしても粒成長抑制を施さなければ、上表面および下表面より成長してきた結晶粒同士が融合し、従来例と同様な1つの層から成るポリシリコン膜になってしまう。粒成長を抑制するためには、レーザ光照射によってシリコン膜をアニールするとき、絶縁性基板の温度が再結晶温度未満に維持されていることが必要であり、レーザ光照射中に再結晶し、レーザ光照射を中止すると速かに再結晶が進行しなくなるようにパルスレーザ光がシリコン膜に吸収されて絶縁性基板を殆んど加熱しないように波長、照射強度、パルス幅、繰返し周波数及び全被曝時間を制御すればよい。2層構造をもたせることにより、格子欠陥の膜厚方向の分布の変動幅は少なくなる。

【0024】

【発明の実施の形態】次に本発明の実施の形態について説明する。

【0025】図1 (a)は本発明の薄膜トランジスタの第1の実施の形態を示す断面図である。同図に示されるように、ガラス基板の表面にSiO₂膜を設けた絶縁性基板1上には、活性層となるポリシリコン膜2が形成されており、その一部の領域はソース・ドレイン領域を形成するために不純物が導入されて一対のドーピング領域5-1、5-2になされている。

【0026】ポリシリコン膜2上には、ゲート絶縁膜3とゲート電極4が積層されている。トランジスタ全体は層間絶縁膜6によって覆われており、層間絶縁膜6上には、層間絶縁膜に開口されたコンタクトホールを介してドーピング領域5-1、5-2と接触する金属配線7-1、7-2が形成されている。

【0027】このトランジスタの基本的な構造は図5 (a)に示した従来例と変わらないが、本実施の形態のトランジスタのチャネル領域のポリシリコン膜では、図

1 (b)のZ部拡大図および図1 (c)の単位密度分布図に示されるように、膜の上表面および下表面よりそれぞれ核発生・成長した結晶粒から構成される2つのポリシリコン層2-1、2-2(結晶粒界8-2によって区分されている。)と、膜厚方向における格子欠陥8-3の均質的な分布と、変動幅 $\delta 2$ の従来例の $\delta 1$ より小さな単位密度分布と、を有する。

【0028】次に、図1に示される薄膜トランジスタの製造方法について、図2 (a)~(f)を参照して説明する。

【0029】まず、図2 (a)に示すように、ガラス基板の表面に図示しないSiO₂膜を被着した絶縁性基板1上にLPCVD法でSiH₄、ガスにより、アモルファスシリコン膜9を75nm堆積した。堆積条件としては、H₂、ガスで10%に希釈したSiH₄、ガス流量200sccm、圧力0.1Torr、基板温度550℃の条件で42分間堆積を行った。

【0030】次に、LPCVD法でSiH₄/O₂混合ガス系にて、アモルファスシリコン膜9上に、透光性膜兼ゲート絶縁膜となる酸化シリコン膜3を100nm堆積した。堆積条件としては、H₂、ガスで10%に希釈したSiH₄、ガス流量35sccm、O₂、ガス流量140sccm、圧力0.28Torr、基板温度400℃の条件で60分間堆積を行った。

【0031】次に、図2 (b)に示すように、レーザアニール法により波長308nmのXeClエキシマレーザにて透光性膜である酸化シリコン膜3上よりパルス幅が150nsecのパルスレーザ光を照射し、アモルファスシリコン膜9を多結晶化して、図2 (c)に示した2つの層から成るポリシリコン膜2を形成した。このとき、アモルファスシリコン膜9は上表面においては酸化シリコン膜3との界面を形成し、また下表面においては絶縁性基板1との界面を形成しているが、これら界面が双方とも核発生サイトとなって粒成長が双方の界面から始まり、シリコン膜の中央付近で双方から結晶粒がぶつかって2つの層から成るポリシリコン膜2が形成されたところでパルスレーザの照射を終る。パルスレーザ光照射条件としては、照射強度430mJ/cm²であり、この条件で10回パルス照射(繰返し周波数10Hz~50Hz)を行った。パルスレーザ光の波長が308nmと短く主としてシリコン膜に吸収され、酸化シリコン膜3や絶縁性基板2を殆んど直接加熱しない。パルスレーザ光の照射を続けると熱伝導により全体の温度が上昇してしまい、照射を中止してもシリコン膜の温度が再結晶温度(シリコン融点の約1/2)以下に低下するのに時間がかかり、結晶化が進行して結晶粒が増大してしまい2層構造が得られなくなる。従ってそのようなことのないように照射するレーザ光の波長、照射強度、パルス幅、繰返し周波数、被曝時間を調節して粒成長を抑制することが肝要である。一応の目安としては、波長400

nm未満の紫外レーザ光をパルス幅200ns未満で照射することができる。

【0032】透光性膜である酸化シリコン膜3は、パルスレーザ照射後はゲート絶縁膜として使用するため残しておく。次に、酸化シリコン膜3、ポリシリコン膜9を図2(d)に示すように、例えば長方形にパターンニングし、次に、スパッタ法によりアルミニウム膜を堆積し、図2(e)を示すように、これをレジスト膜10をマスクにしてパターンニングしてゲート電極4を形成した。次に、イオンドーピング法によりポリシリコン膜2

10 に選択的にリンイオン(P⁺)を導入して、図2(f)に示すように、ソース・ドレイン領域となるドーピング領域5-1、5-2を形成した。続いて、スパッタ法により層間絶縁膜として酸化シリコン膜を500nm堆積し、ソース・ドレイン領域上にコンタクトホールを開孔した。最後に、スパッタ法によりAl膜を堆積しこれをパターンニングしてソース・ドレイン領域と接触する金属配線を形成し、図1に示す薄膜トランジスタを製作した。

【0033】このように形成された薄膜トランジスタの移動度としきい値電圧の標準偏差は4%と、従来例に対し大幅に縮小されていた。

【0034】このことは、酸化シリコン膜上からのパルスレーザアニールによりポリシリコン膜が2つの層から構成されたためと考えられる。

【0035】なお、第1の実施の形態では、ゲート絶縁膜と兼用した透光性膜(酸化シリコン膜)を介してエキシマレーザを照射する例について説明したが、ゲート絶縁膜と兼用することなしに、窒化シリコン、酸化アルミニウムなどの他の透光性膜を用いてポリシリコン膜を形成し、その後透光性膜を除去して新たに成膜したゲート絶縁膜上にゲート電極を形成しても同様の効果が得られた。

【0036】次に、図3(a)～(g)を参照して本発明の第2の実施の形態の製造方法について説明する。図3(a)に示すように絶縁性基板1上にSiH₄ガスをを用いたLPCVD法により、アモルファスシリコン膜9を75nm堆積した。堆積条件は第1の実施例と同様である。

【0037】次に、イオンドーピング法によりSiH₄ガスにより生成されたシリコンイオンのアモルファスシリコン膜9の表面近傍へのドーピングを行ない、図3(b)に示すようにイオンドーピング層11を形成した。イオンドーピングの条件としては、加速電圧25keV、イオンドーズ量 5×10^{12} 個/cm²であった。

【0038】次に、図3(c)に示すように、レーザアニール法によりXeClエキシマレーザにて表面近傍にシリコンイオンをドーピングされたアモルファスシリコン膜9にパルスレーザ光を照射することにより、図3(d)に示した2層構造を有するポリシリコン膜2Aを

形成した。パルスレーザ照射条件としては、第1の実施の形態同時に、照射強度430mJ/cm²であり、この条件で10回のパルス照射を行った。

【0039】このとき、アモルファスシリコン膜は上表面においてはドーピングされたシリコンイオンが、また下表面においては絶縁性基板1との界面が核発生サイトとなり、前述した粒成長が抑制されたパルスレーザアニールにより2つの層から成るポリシリコン膜2A(図1の2にほぼ同じ)が形成される。

10 【0040】次にLPCVD法によりSiH₄/O₂混合ガス系にて、ポリシリコン膜2A上に、ゲート絶縁膜として酸化シリコン膜12(図3(e))を100nm堆積した。堆積条件としてはH₂ガスで10%に希釈されたSiH₄、ガス流量35sccm、O₂140sccm、圧力0.28Torr、基板温度400℃の条件で60分間堆積を行った。

【0041】続いて、第1の実施の形態の場合と同様の方法により、パターンニングし、図3(f)と示すように、ゲート電極4を形成し、図3(g)に示すように、ドーピング領域5-1、5-2を形成し層間絶縁膜、金属配線を形成して薄膜トランジスタの製作が完了する。

【0042】本実施の形態により形成された薄膜トランジスタの移動度としきい値電圧の標準偏差は5%と、従来例に対し大幅に縮小されていた。

【0043】このことは、アモルファスシリコン膜の表面近傍へのイオンドーピングにより核発生制御処理がなされているためポリシリコン膜が2つの層から構成されたためと考えられる。

30 【0044】なお、イオンドーピングのイオン種としてシリコンイオンを用いる場合について説明したが、これに代えゲルマニウム、硼素、燐などのイオン種を用いても同様の効果が得られた。パルスレーザ光の照射時に粒成長を抑えることは第1の実施の形態で述べたとおりである。

【0045】次に本発明の第3の実施の形態について説明する。第1の実施の形態と全く同様にして絶縁性基板上にSiH₄ガスをを用いたLPCVD法により、アモルファスシリコンを75nm堆積し、LPCVD法でSiH₄/O₂混合ガス系にて、アモルファスシリコン膜上に、透光性膜兼ゲート絶縁膜となる酸化シリコン膜3を100nm堆積した。

【0046】次に、図4に示すように、紫外線ランプ13(2kWの超高压水銀ランプ)により透光性膜である酸化シリコン膜3上よりアモルファスシリコン膜9の表面層をアニールする。その結果、アモルファスシリコン膜9の膜中にはアニールされている表面から基板界面に向かう膜厚方向において、温度が低くなる負の温度勾配が発生する。

【0047】次に、アモルファスシリコン膜9の膜中に温度勾配が発生している状態のもとで(紫外線ランプを

照射し続けながら)、レーザアニール法によりXeClエキシマレーザにて透光性膜である酸化シリコン膜3上よりパルスレーザ光を照射し、アモルファスシリコン膜を多結晶化して、2つの層から成るポリシリコン膜を形成した。パルスレーザ照射条件は第1の実施の形態と同様である。

【0048】この条件で形成した2つの層から成るポリシリコン膜の透光膜界面側の上部ポリシリコン層(図1の2-2に対応)膜平面方向の平均粒径と、基板界面側の下部ポリシリコン層(図1の2-1に対応)の膜平面方向の平均粒径との比は2.1であった。ここで上部ポリシリコン層の膜平面方向の平均粒径と下部ポリシリコン層の膜平面方向の平均粒径との比はTEMにより観察された。

【0049】これに対して、比較用として形成した、第1の実施の形態に見られるランプアニール工程を行うことなくパルスレーザを照射して形成した2つの層から成るポリシリコン膜の、上部ポリシリコン層の膜平面方向の平均粒径と基板界面側の下部ポリシリコン層の膜平面方向の平均粒径との比は0.96であった。

【0050】続いて、第1の実施の形態の場合と同様の方法により、ゲート電極、ドーピング領域、層間絶縁膜、金属配線を形成して第3の実施の形態による薄膜トランジスタの製作が完了する。

【0051】本実施の形態により形成された薄膜トランジスタと、比較例として形成した、ランプアニール工程を行わずに形成した薄膜トランジスタとの電気的特性測定と比較では、本実施の形態のものにおいて、均一性が損なわれることなく移動度は1.7倍に向上した。

【0052】このことは、後にゲート絶縁膜界面となるアモルファスシリコン膜の膜平面より基板界面側の膜平面向かい負の温度勾配を設けた状態でパルスレーザアニールをすることにより、ポリシリコン膜の2つのポリシリコン層の内、ゲート絶縁膜界面側のポリシリコン層の膜平面方向の粒径が、残りのポリシリコン層の膜平面方向の粒径よりも大きくなったためと考えられる。

【0053】なお、第3の実施の形態では、ゲート絶縁膜と兼用した透光性膜(酸化シリコン膜)を介してエキシマレーザ光を照射する例について説明したが、ゲート絶縁膜と兼用することなしに、窒化シリコン、酸化アルミニウムなどの他の透光性膜を用いてポリシリコン膜を形成し、その後透光性膜を除去して新たに成膜したゲート絶縁膜上にゲート電極を形成しても同様の効果が得られた。また、温度勾配を発生させる方法として紫外線ランプを用いたランプアニール法について説明したが、これに代え、赤外線イメージ炉を用いたアニール法、通常の抵抗式ヒーターの接触加熱による方法で温度勾配を発生させても同様の効果が得られた。

【0054】以上の説明では、レーザアニールを施す初期材料としてアモルファスシリコン膜を用いていたが、

初期材料として他に微結晶シリコン、ポリシリコンなどの非単結晶シリコン膜を用いても同様の効果が得られた。また、ゲート絶縁膜として酸化シリコン膜に代え窒化シリコン膜、酸化シリコン膜など他の絶縁膜を用いても同様の効果が得られた。

【0055】また、チャネル領域を構成するポリシリコン膜とソース・ドレイン領域を構成するポリシリコン膜を同一工程により形成していたが、この方法に代え、それぞれを別工程により形成することができる。

【0056】この場合、少なくともチャネル領域となる部分のポリシリコン膜については本発明に従って、2つの層から構成されていなければならない。

【0057】

【発明の効果】以上説明したように、本発明によれば、薄膜トランジスタのチャネル領域のポリシリコン膜を結晶粒径で2分された2層構造にすることができ、格子欠陥は基板界面に局在することなく膜厚方向に均質的に分布し、準位密度分布の変動幅は小さくなり、その結果、移動度、しきい値電圧等の電気的特性の素子間のバラツキは標準偏差で5%以下と小さくなる。従って、本発明による薄膜トランジスタを液晶ディスプレイ装置に適用した場合には、表示むらを抑制することができ、また、大表示画面を高精細度が実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の薄膜トランジスタを示す断面図(図1(a))、図1(a)のZ部拡大図(図1(b))及び準位密度のA-A線に沿った膜厚方向の分布を概略的に示すグラフである。

【図2】第1の実施の形態の製造方法について説明するための(a)~(f)に分図して示す工程順断面図である。

【図3】本発明の第2の実施の形態について説明するための(a)~(g)に分図して示す工程順断面図である。

【図4】本発明の第3の実施の形態について説明するための断面図である。

【図5】従来の薄膜トランジスタを示す断面図(図5(a))、図5(a)のZ部拡大図(図5(b))及びA-A線に沿った膜厚方向の準位密度の分布を示すグラフ(図5(c))である。

【符号の説明】

- 1 絶縁性基板
- 2, 2A, 2B ポリシリコン膜
- 2-1 下層のポリシリコン膜
- 2-2 上層のポリシリコン膜
- 3 酸化シリコン膜
- 4 ゲート電極
- 5-1, 5-2 ドーピング領域(ソース・ドレイン領域)
- 6 層間絶縁膜

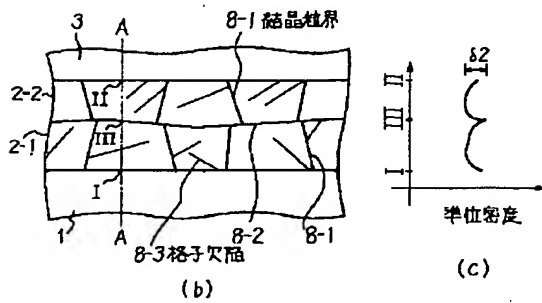
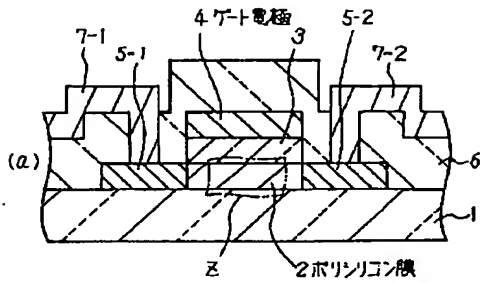
11

12

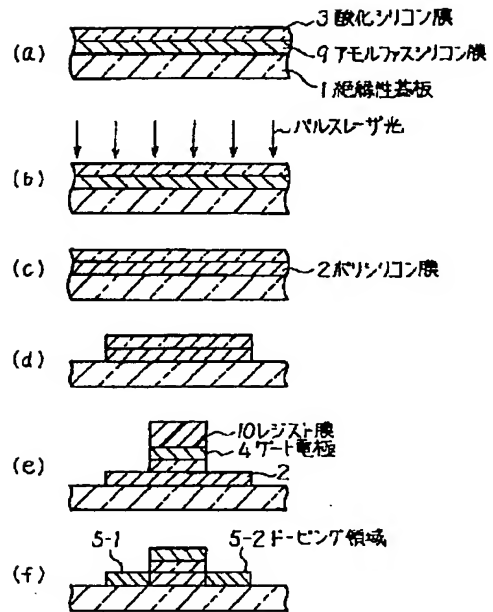
- 7-1, 7-2 金属配線 (ソース・ドレイン電極)
 8-1 結晶粒界
 8-2 2層に区分する結晶粒界
 8-3 格子結晶
 9 アモルファスシリコン膜

- * 10 レジスト膜
 11 イオンドーピング層
 12 ゲート絶縁膜
 13 紫外線ランプ
 * $\delta 1, \delta 2$ 変動幅

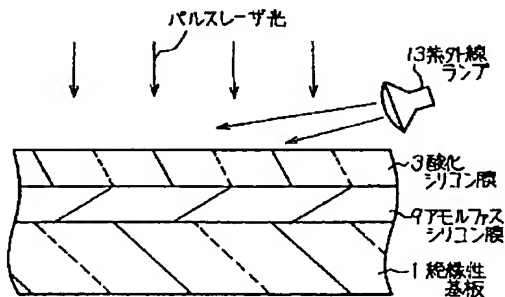
【図1】



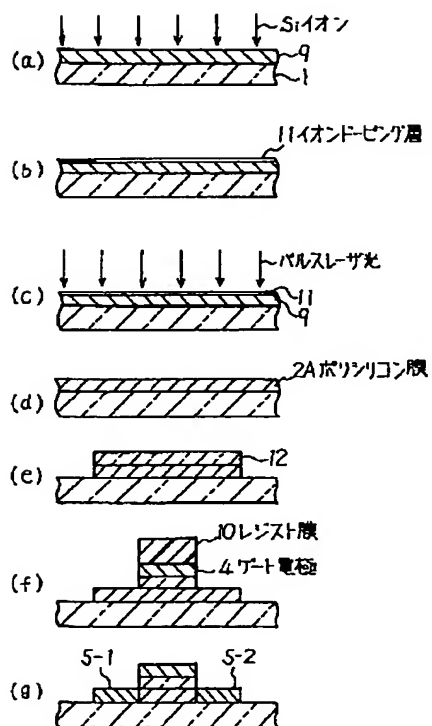
【図2】



【図4】



【図3】



【図5】

